

Searching PAJ

2/2 ページ

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

23.02.2005

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-312311

(43) 公開日 平成10年(1998)11月24日

(51) Int.Cl.

G 0 6 F 11/28
17/50

識別記号

F I

G 0 6 F 11/28
15/60

6 6 4 A

審査請求 有 請求項の数88 OL (全 37 頁)

(21) 出願番号 特願平9-122205

(22) 出願日 平成9年(1997)5月13日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番8号

(72) 発明者 近江谷 康人

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 弁理士 宮田 金雄 (外2名)

(54) 【発明の名称】 論理シミュレーション方法及び論理シミュレーション方法を実現させるためのプログラムを記録したコンピュータ読み取り可能な記録媒体

(57) 【要約】

【課題】 異なる記憶階層レベルの記憶アクセスの並立化における期待値、及びプロセッサ毎に異なるアドレスへのアクセスと共通なアドレスへのアクセスの混在による期待値をそれぞれ確定する。更に、テストカバレージの拡大、テスト生成の容易化、バスリクエスト・バス応答のそれぞれの遅延制御による動作タイミングの多様化も課題。

【解決手段】 検証対象回路、非検証対象回路であるプロセッサ及び主記憶と主記憶を制御する主記憶制御装置、上記検証対象回路と上記プロセッサと上記主記憶制御装置との間をそれぞれ接続するバス、このバスに接続されるバスモニタから構成されるシミュレーションモデル、テストデータを生成する試験生成部、生成されたテストデータに含まれる指示に従ってテストごとのシミュレーション完了後の期待値比較及びテスト結果判定を行うモニター部から構成される。

